

# AI-PMC：賦予電源控制基板原生智能

以 XR 極致可靠性治理垂直物聯網

Make Vertical IoT Intelligent (Without Server-Class Cost)



AICHIP CORPORATION

# 市場真相：邊緣運算的「電源盲區」

## 伺服器級 AI (Server-Class)



- 高成本  

- 過度設計  

- 功耗巨大  


## 傳統邊緣控制 (Dumb Edge)



- 缺乏數據  

- 依賴雲端  

- 對瞬態故障「失明」  


AI 算力密度提升，但「電源與可靠性」成為瓶頸。現有的 80 PLUS 效率認證僅關注穩態，忽略了輕載 (Light-Load) 與瞬態 (Transient) 的真實風險。

部署經濟學：無法閉環

瞬態盲區：毫秒級故障無法記錄

# 垂直物聯網的三道高牆

**成本 (Cost per Device)**

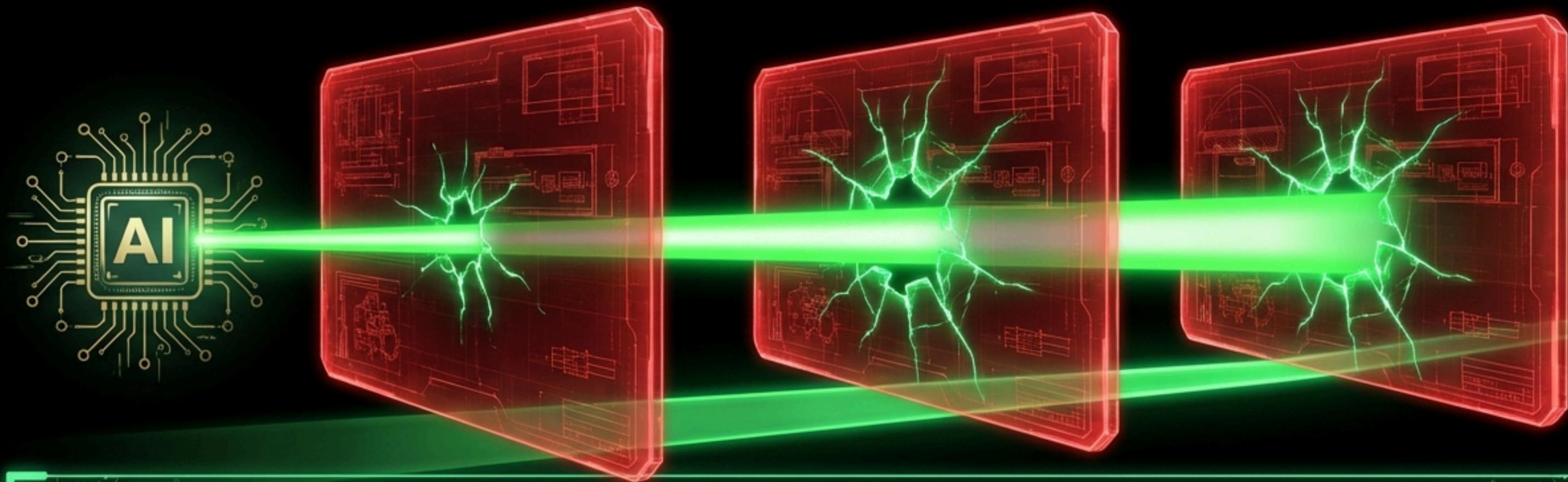
通用型 AI 晶片過於昂貴

**功耗 (Power/Thermal)**

被動散熱無法承受高瓦數

**治理 (Governance)**

缺乏政策與證據能力



市場不再需要「通用型邊緣 AI」，而是需要「針對特定領域的可執行智能」  
(Domain-Native AI in the Control Plane)。

# 我們的論點：智能下沉至控制基板 (Substrate)

Cloud / Enterprise

OS / Application

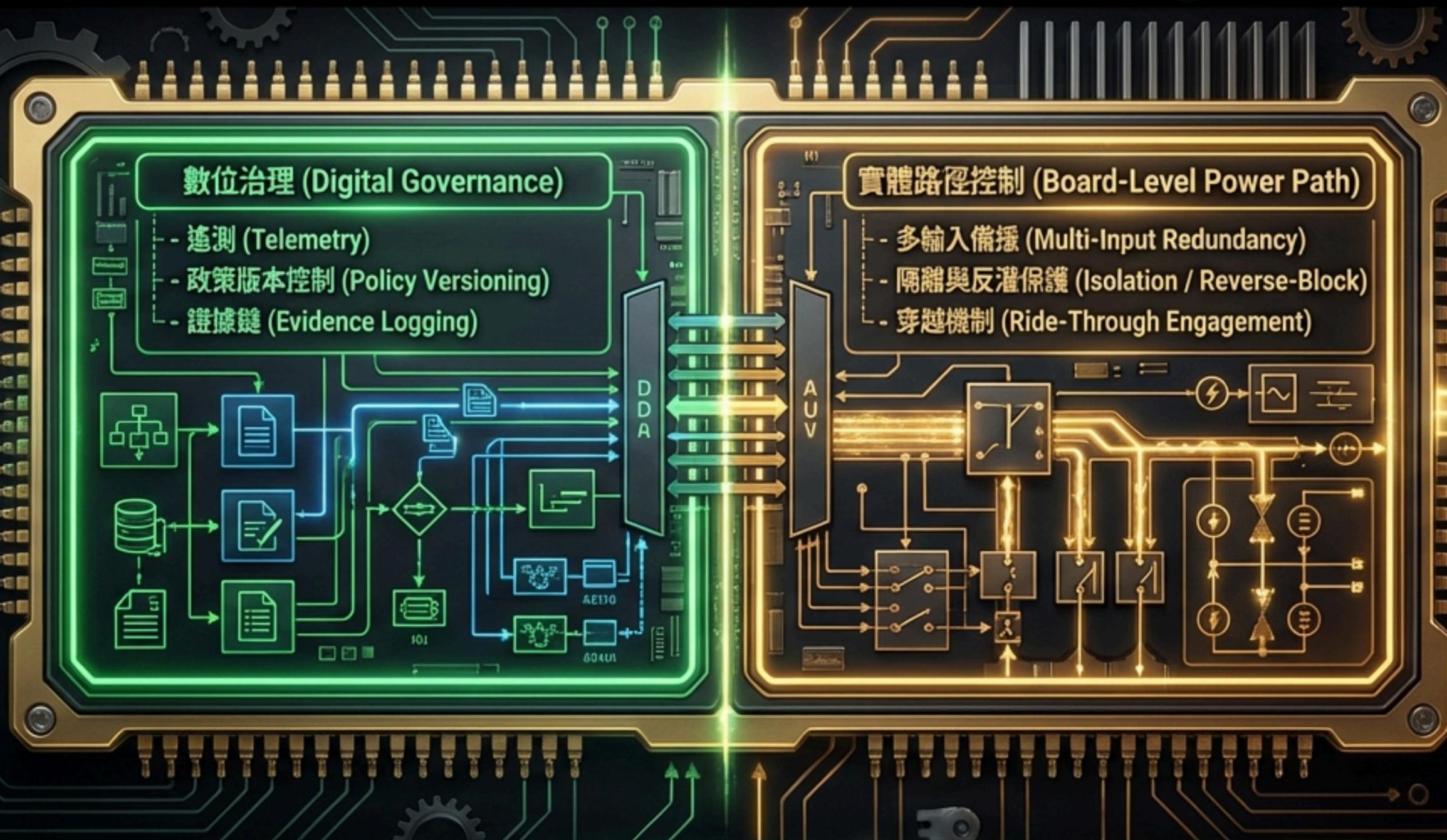
Power & Control Substrate

如果不將 AI 植入  
**控制層**，垂直物聯  
網就無法規模化。

## AI-PMC 治理核心

- 不是電源轉換器 (Not a Converter)
- Always-on 生存性掌管
- 最接近故障源

# 雙域整合架構 (Dual-Domain Integration)



結合 Deterministic Control (確定性控制) 與 Evidence Spine (證據脊椎)

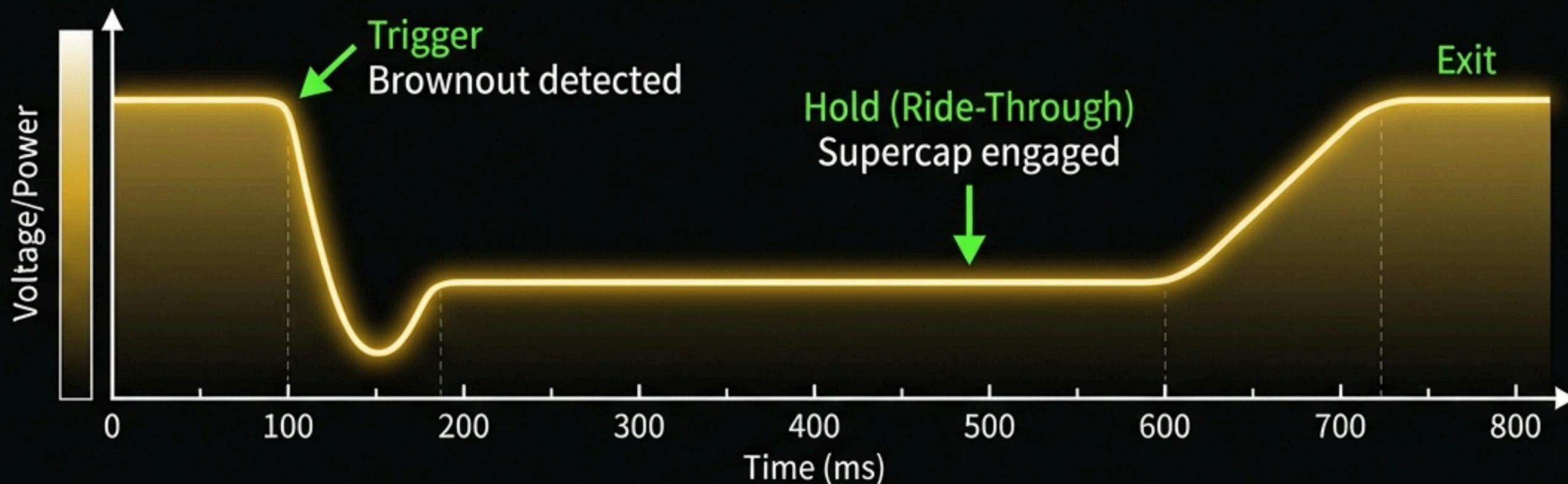
# 技術支柱 I：證據脊椎 (The Evidence Spine)

可回放的真相 (Replayable Truth)



Evidence-First Verification — 沒有證據，就沒有治理。

# 技術支柱 II：穿越機制 (Ride-Through Governance)



## \*\*Performance Data\*\*

- 配置：1.0F - 1.5F 串聯電容模組
- 瞬態峰值支撐：從 71W 推升至 ~278W (1.5F/500ms)

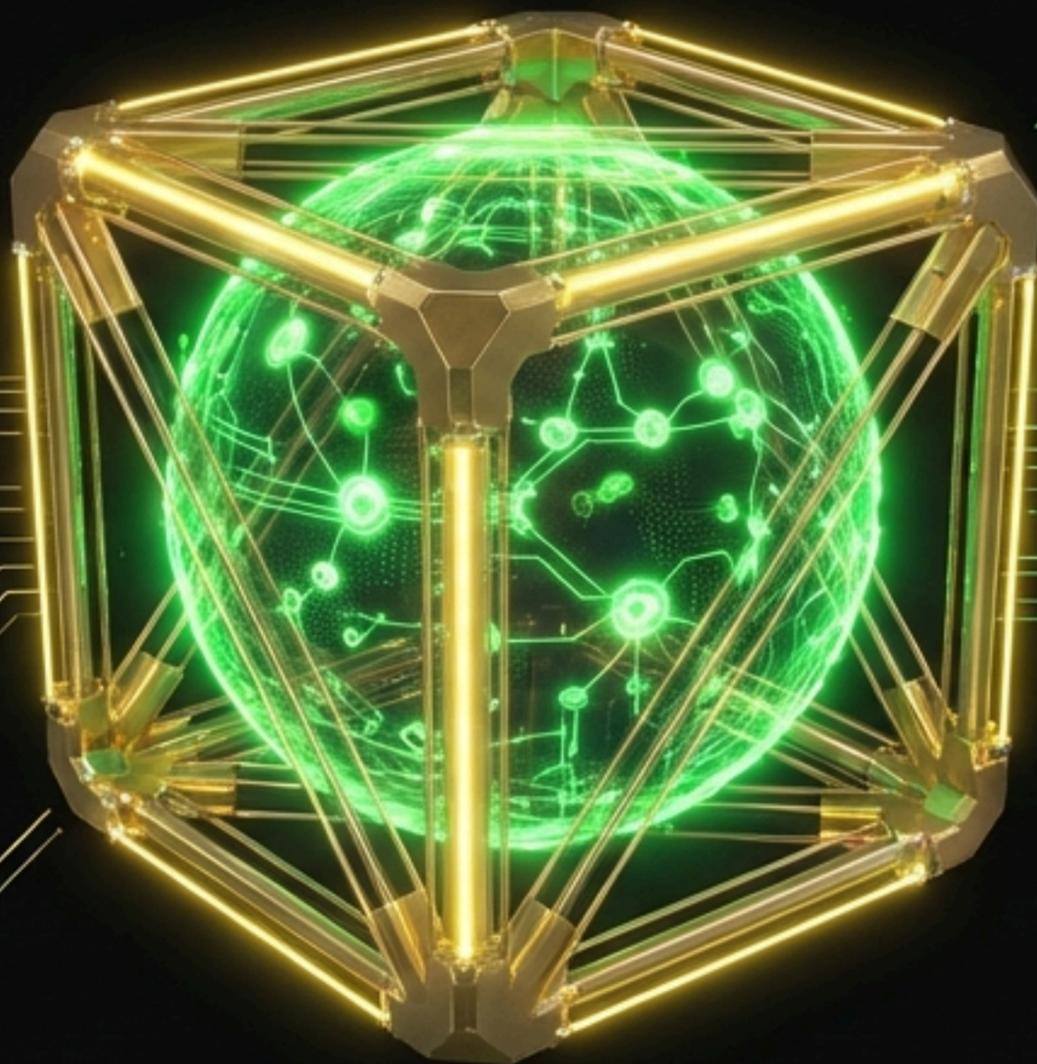
利用外部電容消除瞬態盲區，確保系統在電源波動時「穿越」危機。

# 技術支柱 III：AI 漂移偵測與安全護欄

## 演算法護欄 (Algorithm Guardrails)

- 負責硬性安全
- 保護序列、拓樸切換規則

**AI 絕不逾越此邊界**



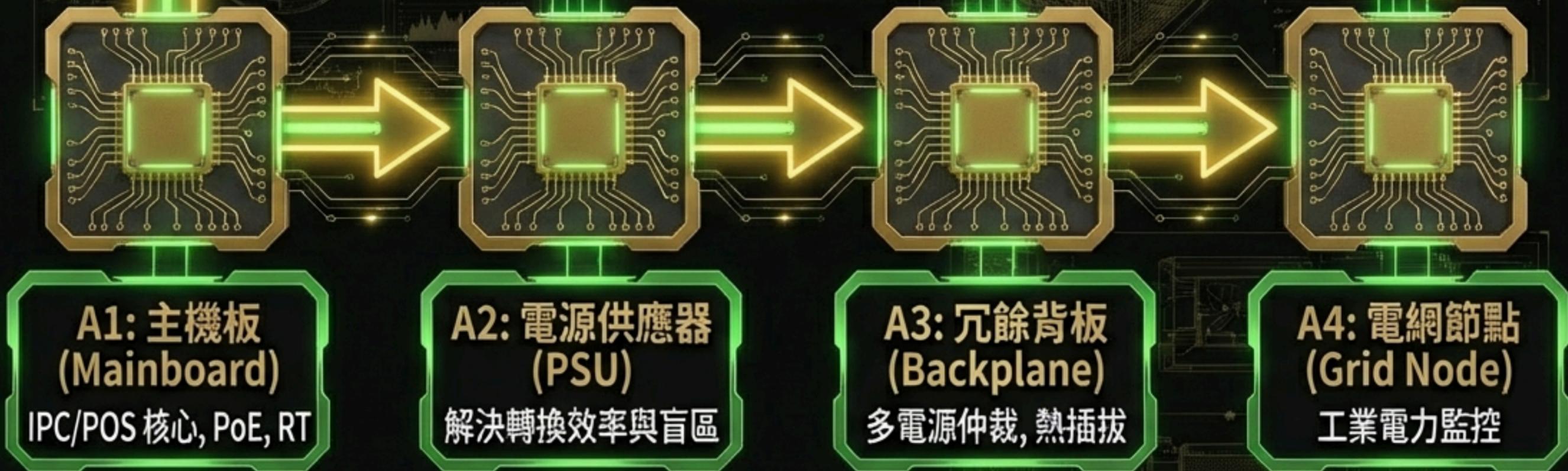
## 機器學習優化 (Machine Learning)

- 負責效率與預判
- 故障前兆偵測  
(Pre-Fault Signatures)
- 因果分析

**Drift Detection (漂移偵測) – 在故障發生前識別異常徵兆**

# 全鏈路治理覆蓋 (Coverage Map A1-A4)

統一的證據鏈架構 (Unified Evidence Architecture)



downstream → upstream

# 執行路線圖：從 FPGA 到 ASIC

## Phase 1: FPGA (MPC-A)

- 全功能驗證
- 證據鏈閉環
- 早期客戶導入

FPGA-to-ASIC  
Implementation Path

## Phase 2: Programmable ASIC

- A1-A4 節點晶片化
- 優化成本 (BOM Savings)
- 優化功耗

策略：利用 MCU/Cortex 等級運算 + Embedded IP，避免昂貴的 GPU 堆疊。

# 商業模式：晶片與治理能力的雙重變現

## Silicon (晶片)

- AI-PMC ASIC 銷售
- Design-in
- Target: US\$2-12

## Governance

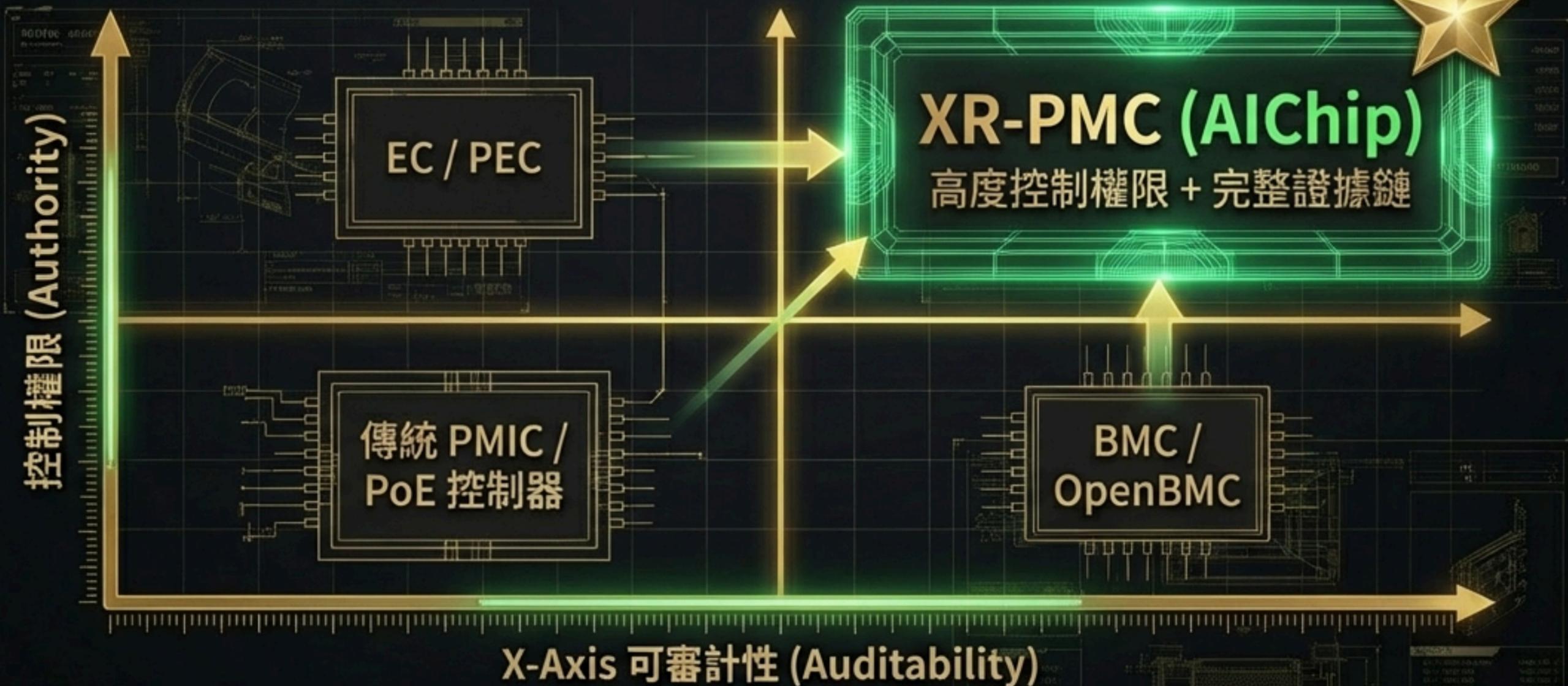
### Packs (治理訂閱)

- 垂直領域策略包
- 可版本化、可回滾

## Integration (整合服務)

- NRE 費用
- 導入驗證 (Lab Infrastructure)

# 競爭地圖：填補市場空白



唯一結合「板級電源路徑控制」與「明確證據契約」的解決方案。

# 團隊：結合 IPC 產業經驗與供應鏈韌性



**Dennis Leo**

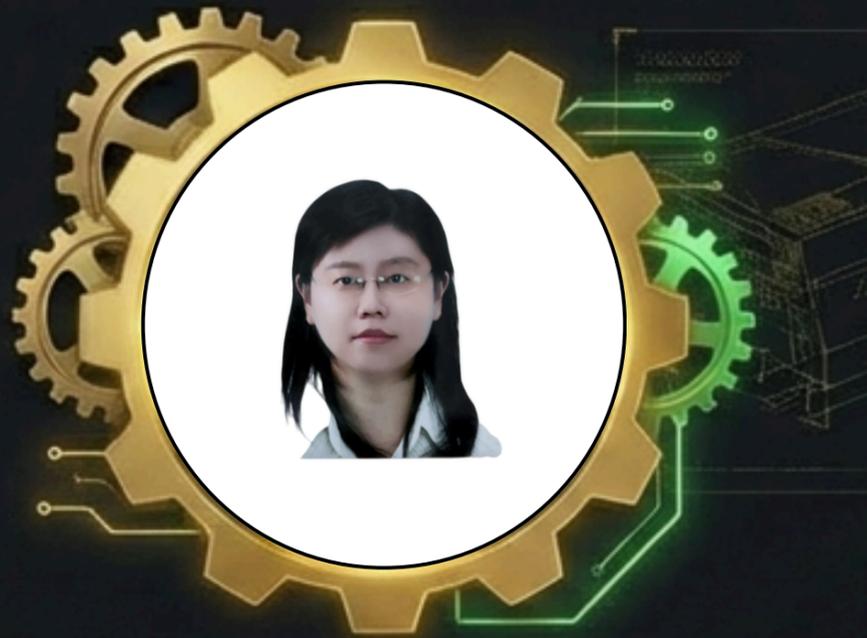
**Cofounder & CEO**

系統架構與市場開發

前Advantech-Aures 副總經理

前賀毅科技總經理

20年 IPC 產品,市場,客戶開發經歷



**Ying-Pei Chen**

**Cofounder & CTO**

FPGA to ASIC 專家

台灣大學電子所 SOC 博士候選人

3年 Gen AI 演算法與機器學習設計

15年 ASIC 設計經歷



**Jim Chien**

**Founder & Chirman**

30年 IPC/Power 技術與產品研發

台灣大學電子所 SOC 博士候選人

前億泰星冗餘式電源總經理

前飛捷科技執行副總

# 早期牽引力與當前狀態

- 工程規格書 (Engineering Spec) v0.9 [LOCKED / 完成]
- 軟體架構 (Software Architecture) [DEFINED / 完成]
- FPGA 原型 (MPC-A) [IN PROGRESS / 開發中]
- 實驗室驗證 (Lab Validation) [READY / 準備就緒]

下一步：資金將用於**加速 FPGA 整合與試點 (Pilot) 建置**。



# Deploy. Govern. Scale.

(部署、治理、規模化)

當電源控制層成為 AI 的基板，垂直物聯網的智慧化才真正閉環。